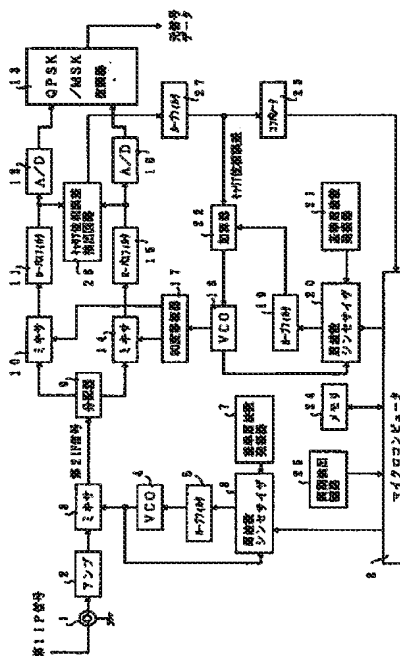


(11)特許出願公開番号

(43)公開日 平成9年(1997)3月28日

審査請求 有 請求項の数6 FD (全 8 頁) 最終頁に続く



## 【特許請求の範囲】

【請求項1】 受信周波数を設定するための周波数信号を出力する電圧制御発振器と、復調回路が同期状態が否かを検出する同期検出手段と、前記同期検出手段の検出出力に基づいて前記電圧制御発振器を制御し、同期状態では一定の位相に固定された基準信号を出力させ、非同期状態では周波数掃引信号を出力させる制御手段とを備えるデジタル放送用衛星放送受信機において、同期状態における前記電圧制御発振器の発振周波数に関するデータを記憶する手段を備え、前記制御手段は非同期状態における前記電圧制御発振器の掃引開始周波数を前記記憶されたデータに対応する周波数の近傍に設定することを特徴とするデジタル放送用衛星放送受信機。

【請求項2】 電圧制御発振器は周波数シンセサイザを含んで位相同期回路が構成され、制御手段がこの周波数シンセサイザに与える設定値により電圧制御発振器の発振周波数が制御される請求項1のデジタル放送用衛星放送受信機。

【請求項3】 周波数シンセサイザに与えられる設定値が記憶手段に記憶され、かつ制御手段はこの記憶された値を読み出してその近傍の値を周波数シンセサイザに与える請求項2のデジタル放送用衛星放送受信機。

【請求項4】 記憶手段には、周波数シンセサイザに与える設定値が周期的に更新されながら記憶される請求項3のデジタル放送用衛星放送受信機。

【請求項5】 位相同期回路には前記電圧制御発振器の周波数を分周する手段が設けられ、その分周比が記憶手段に記憶される請求項2ないし4のいずれかのデジタル放送用衛星放送受信機。

【請求項6】 制御手段は電圧制御発振器による1回目の掃引周波数範囲を2回目以降の掃引周波数範囲よりも狭く設定する請求項1ないし5のいずれかのデジタル放送用衛星放送受信機。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタル放送用衛星放送受信機に関し、特に同期確立を行うための周波数掃引方式を改善した受信機に関する。

【0002】

【従来の技術】一般に、デジタル放送用衛星放送受信機にはAFC回路（自動周波数制御回路）が設けられて受信周波数を保持しているが、このAFC回路は復調回路が同期状態にならないと動作しないため、衛星のトランスポンダや受信アンテナの局部発振器の周波数の偏差やドリフトがあった場合でも復調回路を同期させる必要がある。このため、例えば、テレビジョン学会技術報告Vol. 17, No. 13, PP. 13~18 (Feb. 1993) に示されるように、電源投入時あるいは受信周波数変更時等の非同期状態において、周波数変換回路あるいは検波回路の電圧制御型発振周波数を一定の範囲

で強制的に掃引させて同期確立を行う方式が提案されている。

【0003】図6は従来のデジタル放送用衛星放送受信システムの一例を示すブロック図である。MSKやQPSK等でデジタル変調された信号が図外のRF部で受信され、その第1IF信号がF型コネクタ1に入力されると、アンプ2で増幅され、ミキサ3により第2IF信号に変換される。このミキサ3では、VCO（電圧制御発振器）4、ループフィルタ5、周波数シンセサイザ6、基準周波数発振器7からなるPLL（Phase Locked Loop）により発生される局部信号が利用される。また、第2IF信号は分配器9により2分配され、それぞれミキサ10、14、ローパスフィルタ11、15を経てベースバンド信号となり、A/Dコンバータ12、16によりデジタルデータとされ、QPSK/MSK復調器13により元信号データとされる。

【0004】このように、MSKやQPSK等でデジタル変調されたデータを復調するには、一定の位相に固定された基準信号を再生する（これをキャリア再生という）必要がある。ここではそのキャリア再生方式として、送信信号との相対位相差の情報（キャリア位相誤差信号）を抽出して、それをもとに送信信号との相対位相差（キャリア位相誤差）が零の基準信号を再生するコストスループと呼ばれる方式を採用している。同期状態では、VCO18がコストスループの基準信号となる。非同期状態では、同期検出回路25の出力を受けてアナログマルチプレクサ39が三角波発生器38（周波数は0.1Hzから10Hz程度で発振源がアナログのものとデジタル信号をA/D変換して得られるものを含む）からの入力を選択し、キャリア位相誤差抽出回路26およびコストスループのループフィルタ27から得られるキャリア位相誤差信号との加算器22に入力することにより、VCO18の周波数は掃引される。

【0005】そして、VCO18の発振がキャプチャレンジ内に入り同期状態になると、同期検出回路25の出力は反転しアナログマルチプレクサ39がアンプ37からの入力を選択し、キャリア位相誤差信号との加算器22に入力することにより、VCO18の周波数は掃引を停止される。キャリア位相誤差信号をローパスフィルタ36を通過後、アンプ37により増幅した信号はAFC信号となり、VCO18はキャリア位相誤差が零になるように動作するとともにAFC動作も行う。

【0006】

【発明が解決しようとする課題】この従来のデジタル放送用衛星放送受信機では、非同期状態からできるだけ早く同期を確立させるためには、掃引を制御する三角波発生器の発振周波数を上げなければならないが、その場合はコストスループのループフィルタが追従出来ず、特に受信状況が悪い（低C/N）時に同期そのものが確立し難くなる。また、掃引する周波数の範囲は、狭すぎる

と衛星のトランスポンダや受信アンテナの局部発振器の周波数の偏差やドリフトにより復調回路が同期できなくなり、広すぎると同期を確立させるまでの時間が長くなるため、適正な範囲に限定する必要がある。本発明の目的は、短時間で同期確立を実現することが可能なデジタル放送用衛星放送受信機を提供することにある。

【0007】

【課題を解決するための手段】本発明のデジタル放送用衛星放送受信機は、受信周波数を設定するための周波数信号を出力する電圧制御発振器と、復調回路が同期状態が否かを検出する同期検出手段と、前記同期検出手段の検出出力に基づいて前記電圧制御発振器を制御し、同期状態では一定の位相に固定された基準信号を出力させ、非同期状態では周波数掃引信号を出力させる制御手段とを備えており、これに同期状態における電圧制御発振器の発振周波数に関するデータを記憶する手段を備え、制御手段は非同期状態における電圧制御発振器の掃引開始周波数を記憶されたデータに対応する周波数の近傍に設定するように機能される。

【0008】ここで、電圧制御発振器は周波数シンセサイザを含んで位相同期回路が構成され、制御手段がこの周波数シンセサイザに与える設定値により電圧制御発振器の発振周波数が制御される構成とされる。また、周波数シンセサイザに与えられる設定値が記憶手段に記憶され、かつ制御手段はこの記憶された値を読み出してその近傍の値を周波数シンセサイザに与える構成とされる。また、記憶手段には、周波数シンセサイザに与える設定値が周期的に更新されながら記憶される。

【0009】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の一実施例を示すブロック図である。F型コネクタ1はチューナユニットの入力端子であり、図外の受信アンテナのローノイズコンバータ(LNC)により第1中間周波数に変換された電波(第1IF信号)が同軸ケーブルを介して入力される。第1IF信号はアンプ2で増幅されたのち、ミキサ3に入力され、VCO4の信号とミキシングされることにより、第2IF信号へダウンコンバートされる。VCO4は周波数シンセサイザ6、基準周波数発振器7、ループフィルタ5とともにPLLを構成し、マイクロコンピュータ8のデジタル信号により受信機が受信しようとする周波数毎に発振周波数が決定され、制御される。

【0010】一方、前記第2IF信号は分配器9により分配されたのち、ミキサ10とミキサ14にそれぞれ入力され、VCO18の信号を90度移相器17にて相対位相差90度に分配した信号とそれぞれミキシングされる。ミキサ10とミキサ14の出力はそれぞれローパスフィルタ11及びローパスフィルタ15を通過して後、

ベースバンド信号となり、A/Dコンバータ12及びA/Dコンバータ16によりデジタルデータに変換され、QPSK/MSK復調器13により、元信号データとなる。

【0011】また、ベースバンド信号はキャリア位相誤差抽出回路26へも入力され、コスタスループのループフィルタ27を経てキャリア位相誤差信号が得られる。キャリア位相誤差信号は加算器22によりループフィルタ19の出力と加算され、VCO18の制御電圧となる。VCO18はこの加算器22を含んで、周波数シンセサイザ20、基準周波数発振器21、加算器22とともにPLLを構成し、マイクロコンピュータ8が周波数シンセサイザ20に与えるデジタルデータにより発振周波数及び位相が制御される。

【0012】マイクロコンピュータ8は復調回路の同期検出回路25の出力を受けて周波数シンセサイザ20に与えるデジタルデータを非同期時は周波数掃引用に、また同期時はAFC用に切替える。AFC用のデジタルデータはキャリア位相誤差信号をコンパレータ23により増幅し、デジタル信号へ変換した信号をもとに生成される。メモリ24は周波数シンセサイザ20に与えるデジタルデータを保持するためのもので、不揮発性のもの、あるいはバックアップ用の電源を備えてあれば揮発性でもよい。

【0013】次に、図1の回路の動作について説明する。同期検出回路25は、復調回路が同期状態では“ロウ”レベルを、また非同期状態では“ハイ”レベルを出力する(アクティブはこの逆でも構わない)。マイクロコンピュータ8は同期検出回路25のこの出力を見て、復調回路が同期状態であるか非同期状態であるのかを判断し、同期状態の時はコンパレータ23の出力信号を20ms毎に読み込む。コンパレータ23の出力信号はキャリア位相誤差信号を増幅し、デジタル信号化したもので、送信信号に対してVCO18の位相が遅れている場合は“ハイ”レベルを、進んでいる場合は“ロウ”レベルを出力する(アクティブは逆にもなりうる)。

【0014】マイクロコンピュータ8はコンパレータ23の出力が“ハイ”レベルの時は、周波数シンセサイザ20に対してVCO18の周波数が前回設定時より6、25kHzだけ高くなるようなデジタルデータを与え、逆に“ロウ”レベルの時は、前回設定時より6、25kHz低くなるようなデジタルデータを与えることにより、AFC動作が行われる。マイクロコンピュータ8は周波数シンセサイザ20に与える設定値を、周期的(例えば500ms毎)にメモリ24に対して更新しながら書込むことにより、VCO18の発振周波数が記憶される。

【0015】電源投入時あるいは受信周波数変更時等の初期状態において、マイクロコンピュータ8が同期検出回路25より非同期状態である“ハイ”レベルを検出す

ると、割込み処理によりVCO18が掃引するよう周波数シンセサイザ20に対してデジタルデータを与える。この時、コンパレータ23の出力信号は無視する。掃引する周波数範囲は、第1IF信号に重畳される衛星のトランスポンダや受信アンテナの局部発振器の周波数の偏差やドリフト量等を考慮して決められ、本実施例では、VCO18は第2IF信号の中心周波数である479.5MHzを中心として±3MHzの範囲を、1mS毎に6.25kHzずつステップしながら掃引する。但し、同期検出回路25より同期状態である“ロウ”レベルを検出すると割込み処理により直ちに掃引は停止され、前述のAFC動作に移行する。VCO18が掃引を開始する周波数は、メモリ24に保持されたデータ、すなわちAFC動作時において周波数シンセサイザ20に与える設定値を周期的に書き込んだデータをもとに決定される。

【0016】図2は本実施形態による掃引の様子を示す。本実施形態ではメモリ24に保持されたデータから1MHz離れた周波数を掃引開始周波数とし、これをメモリ24に保持されたデータに向けて掃引し、最大で前記した-3MHzまでの範囲の掃引を1回目の掃引とする。これは衛星トランスポンダや受信アンテナの局部発振周波数の偏差は個体差によるもので、短期的にはほとんど変化しないとみなし、またドリフト量についても短期的な変動要因のみを考慮したもので、受信状況が劣悪な場合を除いてほとんどの場合に1回目の掃引で復調回路は同期を確立し、しかも前回同期時の周波数を参考にして掃引を開始するため、短時間で同期する。仮に1回目の掃引で復調回路が同期しなかった場合、以降は第2IF信号の中心周波数を中心として±3MHzの範囲にわたって掃引する。

【0017】図3は、前記周波数シンセサイザ20の構成例を示すブロック図である。周波数シンセサイザ20はシフトレジスタ31、データラッチ30、スワローカウンタ32、プログラマブルカウンタ33、2モジュラスプリスケアラ35、位相比較器34、基準分周器40から構成される。VCO18の発振周波数fOSCは次式で与えられる。

$$fOSC = \{ (M \times N) + A \} \times fR \div R$$

ここで、

M: 2モジュラスプリスケアラ35の分周値のうちの小さい方の値

N: プログラマブルカウンタ33の設定値

A: スワローカウンタ32の設定値

fR: 基準周波数発振器21の発振周波数

R: 基準分周器40の分周値

【0018】この実施形態では、Mの値を128、fRの値を12.8MHz、Rの値を4096とし、またNの値は128から2047までの値を設定でき、Aの値は0から127までの値を設定できる。マイクロコンピ

ュータ8は周波数シンセサイザ20に対しA値及びN値のバイナリ値をシリアルデータとして与える。A値及びN値はシフトレジスタ31によりパラレルデータに変換され、データラッチ30を経てスワローカウンタ32あるいはプログラマブルカウンタ33に設定される。

【0019】まず、fOSCを2モジュラスプリスケアラ35で1/129分周したものをスワローカウンタ32にてA回カウントした後、今度はfOSCを2モジュラスプリスケアラ35で1/128分周したものをプログラマブルカウンタ33にて(N-A)回カウントすることによりfOSCは1/(128N+A)分周され、位相比較器34にてfRを1/40分周した基準発振波と位相比較することにより得られる電圧により、fOSCは[3125(128N+A)]Hzで発振するよう制御される。また、A値が“1”変化するとfOSCは3.125kHz変化し、すなわちマイクロコンピュータ8は最小ステップ幅3.125kHzでVCO18の周波数を設定できる。

【0020】また、掃引開始周波数をメモリ24に保持されたデータから1MHz離れた周波数とするためには、掃引開始時にメモリ24のデータからN値を“2”、A値を“64”増やした値をマイクロコンピュータ8に計算させ、その値を周波数シンセサイザ20に対して設定すればよい。

【0021】図4は本発明のメモリ24のメモリマップの一例を示す図である。ここでは、衛星のトランスポンダ毎の局部発振周波数の偏差の違いを無視できるよう、受信周波数毎にマイクロコンピュータ8がメモリ24内にデータを格納する領域を分けている。衛星のトランスポンダは有限で、受信するトランスポンダの数は衛星放送受信機の仕様により異なるので、その仕様に合わせてメモリ領域の数を設ければよい。同期検出回路25が“ハイ”レベルであることをマイクロコンピュータ8が検出すると、受信機が受信しようとする周波数と合致するデータ領域のデータをもとに掃引開始周波数が決定される。

【0022】図5は本発明の周波数掃引方法に関する別の実施形態を示す。周波数をステップさせる時間間隔が同じであれば、ステップの周波数間隔は狭くするほうがループフィルタ27のカットオフ周波数を下げられ、等価帯域幅が狭まるため、低C/N時におけるキャリア再生能力が高まる。そこで本実施形態では、1回目の掃引のみ、1mS毎に3.125kHzずつステップしながらメモリ24に記憶された周波数の±1MHzの範囲で掃引させ、仮にそこで同期が確立しなければ、以降は1mS毎に6.25kHzずつステップしながら第2IF信号の中心周波数を中心として±3MHzの範囲で掃引させるものとしている。

【0023】

【発明の効果】以上説明したように本発明は、同期状態

における電圧制御発振器の発振周波数に関するデータを記憶する手段を備えており、電源投入時や受信周波数変更時等の非同期状態における電圧制御発振器の掃引開始周波数を、この記憶手段に記憶されたデータに対応する周波数の近傍に設定して周波数掃引を行うため、短時間で同期を確立することが可能となる。また、電圧制御発振器を含む位相同期回路に周波数シンセサイザを有し、この周波数シンセサイザの設定値により電圧制御発振器の発振周波数を制御するため、周波数掃引の範囲やそのステップ幅を任意に設定でき、その調整が不要となり、掃引速度や低C/N時のキャリア再生能力の調節が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明の受信機の一実施形態のブロック図である。

【図2】図1の実施形態における周波数の掃引を示すタイムチャートである。

【図3】図1の実施形態における周波数シンセサイザのブロック図である。

\*

\*【図4】本発明におけるメモリのメモリマップ図である。

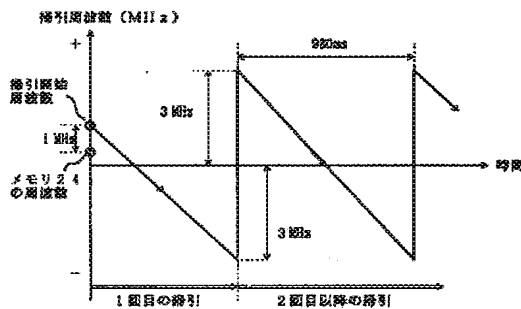
【図5】本発明の他の実施形態における周波数の掃引を示すタイムチャートである。

【図6】従来の受信機の一例のブロック図である。

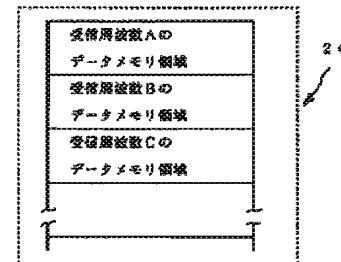
【符号の説明】

- 3 ミキサ
- 9 分配器
- 10, 14 ミキサ
- 13 QPSK/MSK復調器
- 17 90度移相器
- 18 VCO
- 20 周波数シンセサイザ
- 21 基準周波数発振器
- 23 コンバータ
- 24 メモリ
- 25 同期検出回路
- 26 キャリア位相誤差抽出回路
- 27 ループフィルタ

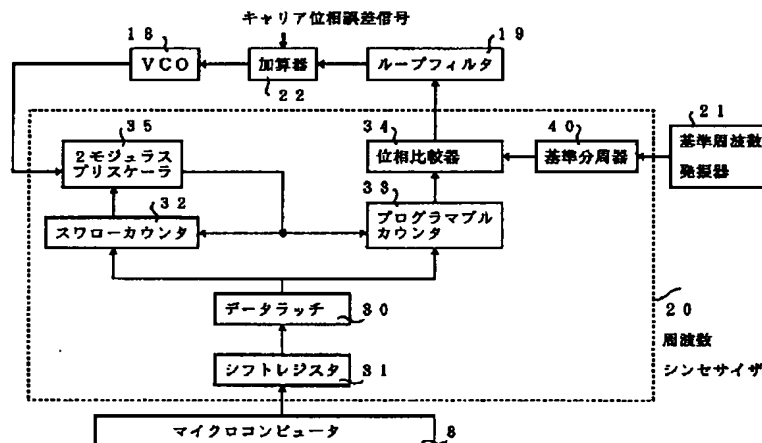
【図2】



【図4】

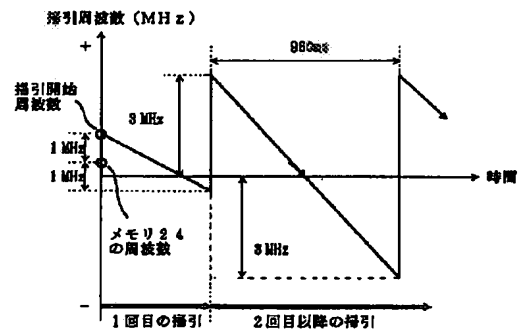


【図3】

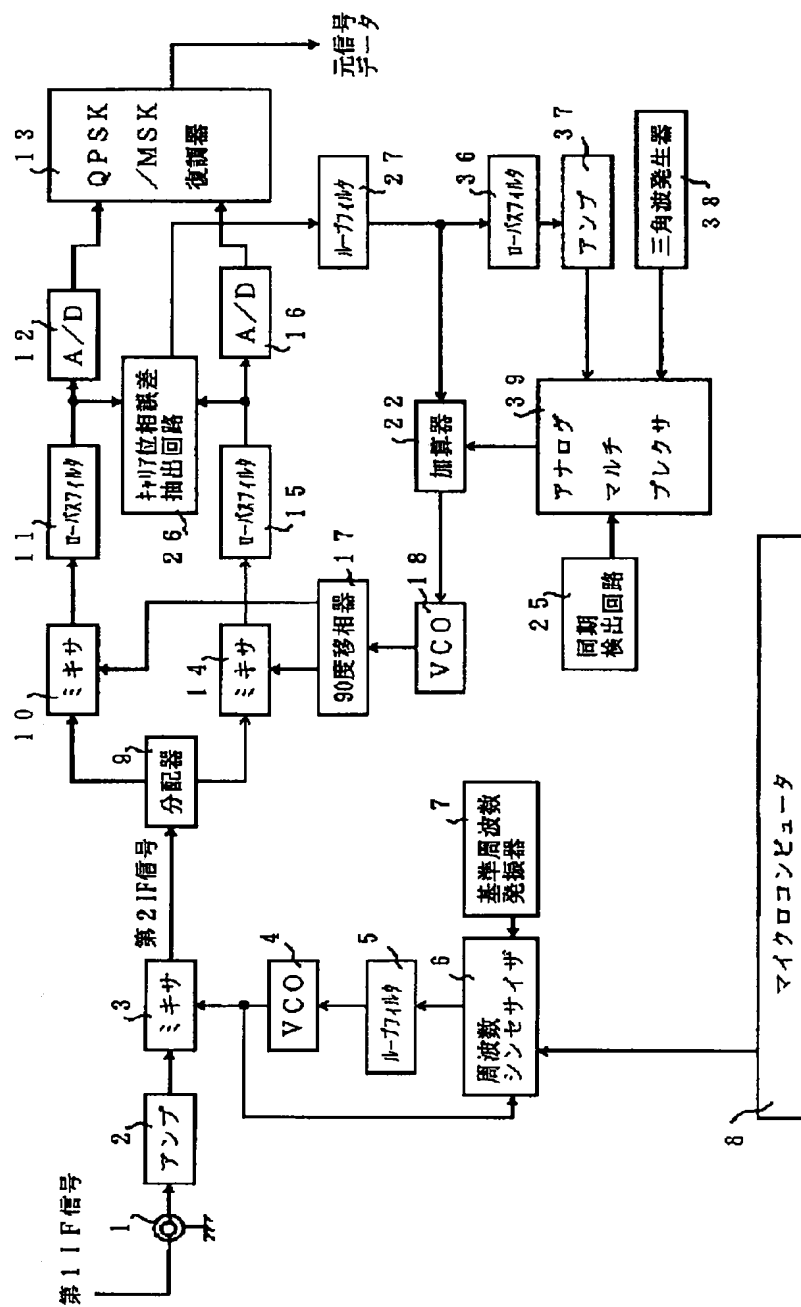




【図5】



元信一 夕



(51) Int. Cl.<sup>8</sup>  
H 0 4 N 7/20

F I  
H O 4 N 7/13

技術表示箇所